

“龙腾”S2 微处理器测试结构设计

陈 超,王党辉,张盛兵,王得利

(西北工业大学 计算机学院,陕西 西安 710072)

摘 要: 介绍了“龙腾”S2 微处理器测试结构设计方法,详细讨论了采用全扫描测试、内建自测试(BIST)等可测性设计(DFT)技术.该处理器与 PC104 全兼容,设计中的所有寄存器采用全扫描结构,设计中的存储器采用内建自测试,整个设计使用 JTAG 作为测试接口.通过这些可测性设计,使芯片的故障覆盖率达到了 100%,能够满足流片后测试需求.

关键词: ATPG;全扫描;BIST;JTAG

中图分类号: TP303

文献标识码: A

文章编号: 1000-7180(2010)01-0109-04

Test Structure Design of “Longtium”S2 Micro-Processor

CHEN Chao, WANG Dang-hui, ZHANG Sheng-bing, WANG De-li

(School of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: This paper presents the test architecture of “Longtium” S2 micro-processor, adopted full scan test, Built-In Self Test (BIST) etc. Design For Test (DFT). The processor is full compatible with PC104, In our design, all registers was structured by full scan, all memories were applied with BIST, whole design used JTAG for test interface. All those made faults coverage of the chip to come to 100%.

Key words: ATPG; full scan; BIST; JTAG

1 引言

可测性设计(DFT)技术是微处理器设计中普遍采用的技术.DFT 技术目前主要有扫描测试(scan)、内建自测试(Built-In Self Test)和边界扫描测试(Boundary Scan).每种方法侧重于不同结构电路的测试,在目前的大规模电路设计中,单纯使用一种方法已经无法满足测试的要求,通常采用两种或多种测试方法的结合^[1].扫描测试技术是普遍采用的 DFT 技术,可以获得最大的故障覆盖率,主要针对复杂的时序电路测试.内建自测试主要针对测试中激励施加和响应时间过长的缺点而提出的新方法,通过在设计中增加测试电路,自动产生测试激励对内部电路进行测试,输出测试结果是否正确.边界扫描测试通过标准的测试接口(JTAG),完成板级的芯片测试,通过构建边界扫描寄存器链控制和观察芯片边缘信号,目前已广泛应用于芯片测试^[2].

2 “龙腾”S2 微处理器结构

“龙腾”S2 芯片主要由处理器和外围功能电路两部分组成,是一款高性能、低功耗的 32 位微处理器.芯片采用 0.18 μm 工艺 CMOS 技术制作,运行频率 166MHz,功耗 1.6W,可以应用于通信、工业控制等领域.微处理器的结构如图 1 所示.

“龙腾”S2 芯片主要包括系统控制器,SDRAM 控制器,ISA 总线控制器,中断控制器,定时器,键盘控制器,实时时钟,串口等.其中,系统控制器负责对系统事件(CPU 请求、SDRAM 刷新请求、DMA 请求)进行仲裁;将 CPU 操作、DMA 操作重组,相应转发给 SDRAM 控制器和 ISA 总线控制器;负责芯片组整体配置管理.SDRAM 控制器负责将系统的访存操作和刷新请求按照 SDRAM 要求的时序发送给 SDRAM,支持单字传输和 4 字突发传输,目前支持正常刷新和分散式刷新.ISA 总线控制器负责系统

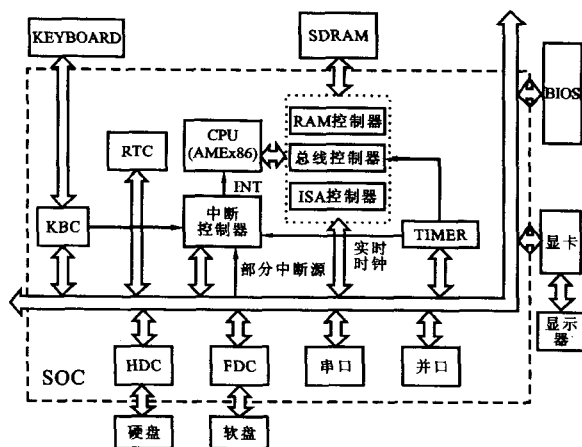


图1 “龙腾”S2 微处理器结构

对 ISA 总线的访问操作,包括 8、16 位存储器、IO 访问,访问速度有标准、慢速、快速三种,适应不同设备的时序要求。中断控制器包括主从两片标准 8259,ISA 总线上用户可见中断有 13 个,其它中断被系统内部使用。支持固定优先级和循环优先级两种模式。键盘控制器支持标准的 8042。键盘把按键和释放键的键盘扫描码发送给键盘控制器;键盘控制器把它转换成系统扫描码并放入输出缓冲寄存器中,触发 INT 9;INT9 读走系统扫描码,把它转化为 ASCII 码并连同系统扫描码一起放入键盘的数据缓冲区。

根据“龙腾”S2 微处理器的结构特点,决定采用扫描测试和 BIST,并且统一用 JTAG 接口实现对两种测试的控制。扫描测试完成对整个设计的寄存器、组合电路的测试;BIST 测试完成对设计中的内嵌内存的测试^[3-4]。

3 扫描测试设计及实现

3.1 扫描单元设计

扫描测试是目前很流行的一种 DFT 方法,为设计提供高的故障覆盖率(fault coverage)。同时又简化了测试激励的产生。“龙腾”S2 扫描单元的实现设计采用带有多路选择器的 D 触发器方式,这种方式实现简单,对设计电路的修改简单。如图 2 所示,左边为通常的 D 触发器,右边为经过 DFT 处理后的带有扫描功能的 D 触发器。其中的 SI 为扫描输入端,D 为正常工作模式下的输入,SE 为扫描模式使能端,扫描输出端与正常输出的 Q 端复用。

所有的扫描寄存器都有两种工作模式:(1)正常模式。此时 SE 端口为 0,寄存器输入为 D,连接于组合电路,在系统时钟 CLK 控制下,寄存器完成正常设计功能;(2)测试模式。此时 SE 端口为 1,寄存器

输入端口由多路器选择 SI,所有寄存器脱离于组合电路,形成首尾相连的扫描链,此时在测试时钟 TCK 控制下,依次将测试激励串行移入扫描寄存器中。

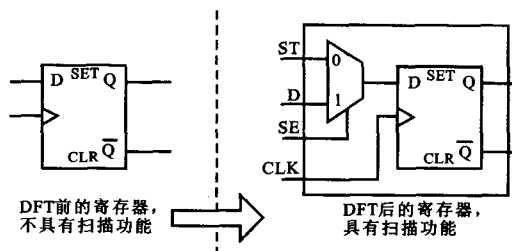


图2 D触发器和带扫描输入端的D触发器

3.2 扫描链设计

根据“龙腾”S2 内部设计寄存器的数量以及扫描速度的考虑,设计了 32 条扫描链,最长的扫描链为 1272 个寄存器。所有扫描链串行输入测试激励,为减少微处理器的端口信号,32 条扫描链的输入输出端口复用芯片的功能端口,32 个扫描输入端口、32 个扫描输出端口分别复用了处理器的 32 位数据总线。

扫描过程分为两个阶段,先是测试触发器,然后测试组合电路部分。测试触发器的过程为:

- (1) load unload 过程:置 SE = 1,通过扫描输入 SI 给移位寄存器移入初始值;
- (2) shift 过程:依次将输入的测试激励在扫描链上向后移位;
- (3) capture 过程:当一组完整的测试激励全部移入扫描链后,置 SE = 0,使用当前寄存器值运行一个系统时钟周期,组合部分测试后的响应锁存到扫描寄存器中;
- (4) 置 SE = 1;电路运行 M 个时钟(M 为扫描链的长度),测试响应通过扫描输出端 SO 串行输出;
- (5) 重复上面过程,直到所有的测试激励都得以施加。

测试组合电路的过程为:

- (1) 初始化:置 SE = 1,移位寄存器串行输入第一个测试激励所用的初始化值;
- (2) 置 SE = 0,在原始输入端施加一个测试激励;
- (3) 运行一个时钟,组合电路部分测试后的响应锁存到扫描寄存器中;
- (4) 置 SE = 1,同时进行以下操作:
 - ① 通过 SI 串行移入下一个测试激励所用的初

始化值;

② 电路运行 M 个时钟(M 为扫描链的长度);

③ 在原始输出 Q(扫描输出 SO)观察结果;

(5) 重复上面过程,直到所有测试激励都得以施加。

在 ATE 设备上扫描测试时,采用 32 条链同时输入测试激励,考虑到 shift 过程中寄存器频繁翻转,导致扫描测试的芯片功耗会远大于正常工作,扫描测试时钟选择 10MHz. 本设计中的 BIST 电路部分也加入到扫描链中,5 个 BIST 部分电路产生 3 条扫描链,BIST 电路工作在测试时钟 TCK 下,所以这 3 条链 capture 使用 PAD_tck 测试时钟,其余扫描链 capture 使用 PAD_clkbus 系统时钟。

3.3 扫描激励生成

采用 Synopsys 公司的 Tetra MAX 产生扫描测试激励,共产生 803 组测试激励,实现了对芯片正常工作逻辑的完全覆盖. 在 TetraMAX 中进行故障仿真测试结果如图 3 所示。

total faults	1 552 596
test coverage	100.00%
Pattern Summary Report	
# internal patterns	803
# basic_scan patterns	802
# full_sequential patterns	1

图 3 Tetra MAX 故障仿真测试结果

4 BIST 设计及实现

4.1 BIST 结构

BIST 是一种结构化的 DFT 技术,通过在设计电路内部增加测试功能电路实现. BIST 又分为逻辑 BIST(LBIST)和存储器 BIST(MBIST). BIST 电路一般包括测试生成电路(激励)、数据压缩电路、比较分析电路、理想结果存储电路(ROM)和测试控制电路. 结构如图 4 所示。

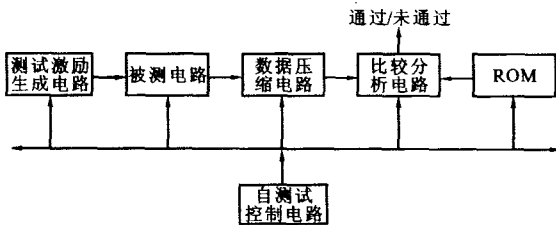


图 4 BIST 电路结构

测试生成电路所产生的测试激励在测试时钟作用下加到设计电路上,数据压缩电路的功能就是把测试响应数据压缩成特征符号(signature);比较电

路把捕获到的响应特征符号与参考特征符号相比较,最后给出结果:通过还是未通过. 所有的测试操作,包括测试开始、检测结束以及同步都由内测试控制电路控制。

4.2 BIST 设计

“龙腾”S2 采用 MBIST 测试设计中的存储器,分为五个独立的部分:immu_bist、dmmu_bist、i-cache_bist、dcache_bist、biu_bist. “龙腾”S2 使用的内嵌内存有:总线接口模块中缓冲 FIFO,指令、数据 MMU 中的页查找表,指令、数据 cache 中的 cache 块. 各内嵌内存列表 1 所示。

表 1 内嵌内存统计列表

模块名称	内存类型	内存大小/bit
指令 cache	双端口 SRAM	32K
数据 cache	单端口 SRAM	32K
指令 mmu	双端口 SRAM	128×68
数据 mmu	双端口 SRAM	128×68
总线接口模块	双端口 SRAM	128×32 拼接 35×16

本设计中的 BIST 算法采用 March C⁺. 对每个存储单元只需要十几次读写操作就可以完成测试. March C⁺ 算法的测试过程使用 March 元素符号表达如下:

$\uparrow(w0) \uparrow(r0, w1, r1) \uparrow(r1, w0, r0) \downarrow(r0, w1, r1) \downarrow(r1, w0, r0) \downarrow(r0)$

具体过程如下:

(1) 初始化:对全部存储单元进行一次写 0 操作(可按地址升序或是降序,文中采用升序写 1 操作);

(2) 按地址升序读操作,期待值为 0,然后按地址升序写 1 操作,再读操作,期待值为 1;

(3) 按地址升序读操作,期待值为 1,然后按地址升序写 0 操作,再读操作,期待值为 0;

(4) 按地址降序读操作,期待值为 0,然后按地址降序写 1 操作,再读操作,期待值为 1;

(5) 按地址降序读操作,期待值为 1,然后按地址降序写 0 操作,再读操作,期待值为 0;

(6) 按地址降序读操作,期待值为 0.

BIST 设计中的读、写周期定义对测试的成功与否至关重要,如果读、写周期定义不当,会直接影响 BIST 测试. 这与设计中的 RAM 类型有关,“龙腾”S2 使用双端口 RAM,在定义读写周期时,两个端口

各自定义读、写周期.但在测试中,只需采用一个端口读数据,另一个端口写数据即可.RAM 中的读、写时序如图 5 所示^[5].

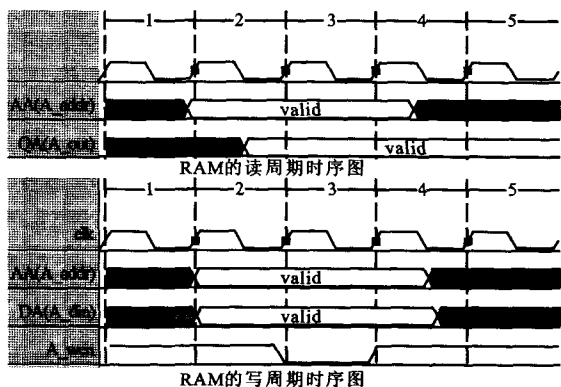


图 5 RAM 的读、写时序图

针对上面的读写时序图,定义的读周期为:

```
read_cycle
```

```
(change AA; //修改地址总线的值为下一次值
```

```
wait; //等待一个测试周期
```

```
expect QA; //在输出总线上读数据与期待值
```

比较

```
wait; //等待一个测试周期)
```

定义的写周期为:

```
write_cycle
```

```
(change AA ; //修改地址总线的值为下一次
```

值

```
change DA ; //修改数据总线的值为下一次值
```

```
wait ; //等待一个测试周期
```

```
assert A_wen ; //使控制写信号有效一个测试
```

周期

```
wait ; //等待一个测试周期)
```

5 ATE 测试结果

通过芯片自动测试设备对芯片的各项参数指标进行测试和分析,是判断芯片是否达到设计要求的重要手段.“龙腾”S2 芯片流片、封装完成后,通过在 Agilent93000 SOC 测试平台进行测试,结果如下:

扫描测试:测试频率 10MHz,测试时钟输入 clk33m,复位信号 rst,测试时 tm 恒为 1,测试使能端为 te.

```
Running testsuite: top_dft_tb
```

```
Executing testfunction: top_dft_tb
```

```
Test Suite top_dft_tb PASSED
```

Memory BIST 测试:使用 Memory BIST 自测试电路对芯片的 Embedded Memory 进行测试,工作频率为 66MHz,tm = 0,te = 0,测试时钟输入 clk33m,置 test_memory = 1.

```
Running test suite: memory
```

```
Executing test function: memory
```

```
Test Suite memory PASSED.
```

6 结束语

文中针对“龙腾”S2 微处理器设计的结构特点,分别采用了全扫描和 BIST 的测试方法,使整体芯片的测试更加充分,获得了 100% 的故障覆盖率.设计已经通过了仿真测试、ATE 测试,效果达到设计预期效果.

参考文献:

- [1] 雷绍充. VLSI 设计方法学和可测性设计[M]. 北京: 电子工业出版社, 2005.
- [2] 李伟华. 数字系统测试与可测试设计[M]. 鲁巍, 译. 北京: 机械工业出版社, 2006.
- [3] 王党辉, 樊晓桢. 基于数据切片的系统芯片测试控制技术研究[J]. 测试技术学报, 2006, 20(3): 195-200.
- [4] 王党辉, 高德远. 一种可重配置的存储器测试控制器设计[J]. 计算机工程与应用, 2006, 42(23): 1-3.
- [5] 李博, 魏廷存. 手机用 TFT-LCD 驱动控制芯片的测试电路结构设计[J]. 微电子学与计算机, 2006, 23(12): 125-128.

作者简介:

陈超 男, (1980-), 硕士, 工程师. 研究方向为集成电路测试、集成电路可测试性设计.

王党辉 男, (1975-), 博士, 副教授. 研究方向为计算机系统结构、集成电路设计与测试.